

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-263129  
(43)Date of publication of application : 19.09.2003

(51)Int.Cl. G09G 3/30  
G02F 1/133  
G09G 3/20  
H05B 33/14

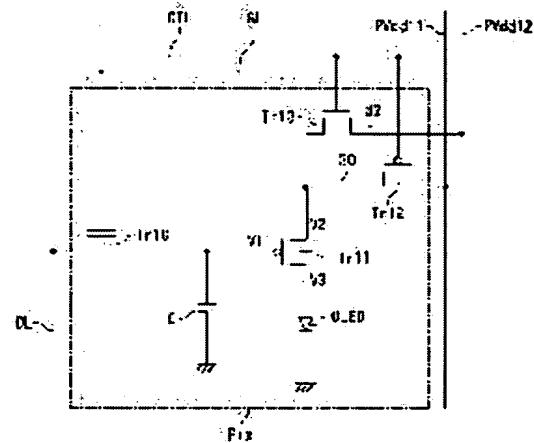
(21)Application number : 2002-062638 (71)Applicant : SANYO ELECTRIC CO LTD  
(22)Date of filing : 07.03.2002 (72)Inventor : NOGUCHI YUKIHIRO

**(54) DISPLAY DEVICE**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent an afterimage phenomenon from sometimes occurring when rewriting low brightness data into an optical element set to high brightness data.

**SOLUTION:** A pixel circuit Pix comprises an OLED, first – fourth transistors Tr10–Tr13, and a capacitor C. Power is supplied to the pixel circuit Pix from a 1st power supply line PVdd11 or a second power supply line PVdd12. A control line CTL propagates a change-over control signal for deciding from which line to supply the power. When the change-over control signal becomes high, the third transistor Tr12 is turned on and the fourth transistor Tr13 is turned off. When the change-over control signal becomes low, the third transistor Tr12 is turned off and the fourth transistor Tr14 is turned on. The voltage value of the second power supply line PVdd12 is low, and when the fourth transistor Tr13 is turned on, the OLED can be turned off owing to the relationship with brightness data or the like.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-263129

(P2003-263129A)

(43)公開日 平成15年9月19日 (2003.9.19)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テマコード(参考)

G 09 G 3/30

G 09 G 3/30

J 2 H 0 9 3

G 02 F 1/133

5 5 0

G 02 F 1/133

5 5 0 3 K 0 0 7

G 09 G 3/20

6 1 2

G 09 G 3/20

6 1 2 G 5 C 0 8 0

6 2 3

6 2 3 R

6 2 4

6 2 4 B

審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21)出願番号

特願2002-62638(P2002-62638)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22)出願日

平成14年3月7日(2002.3.7)

(72)発明者 野口 幸宏

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74)代理人 100105924

弁理士 森下 寧樹

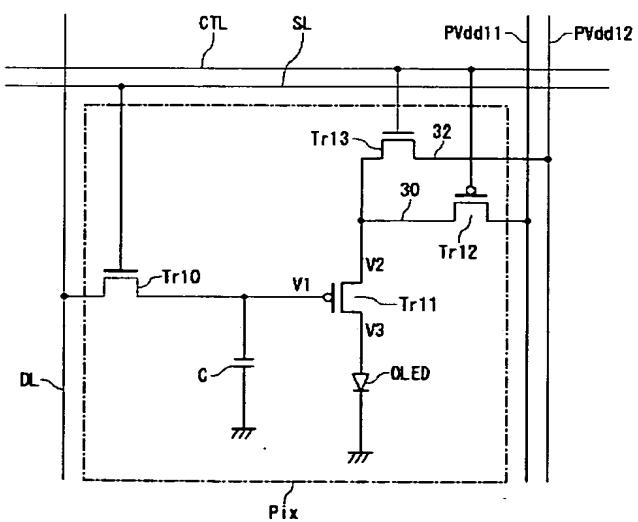
最終頁に続く

(54)【発明の名称】 表示装置

(57)【要約】

【課題】 高い輝度データが設定されている光学素子を、低い輝度データに書き換えるとき残像現象が見られることがある。

【解決手段】 画素回路P<sub>ix</sub>は、OLEDと、第1～4のトランジスタTr10～Tr13と、コンデンサCを含む。画素回路P<sub>ix</sub>には、第1の電力供給線PVdd11または第2の電力供給線PVdd12から電力が供給される。いずれから電力供給するかを決定する切替制御信号を制御線CTLが伝搬する。切替制御信号がハイになると第3のトランジスタTr12がオンされ、第4のトランジスタTr13がオフされる。切替制御信号がローになると第3のトランジスタTr12がオフされ、第4のトランジスタTr13がオンされる。第2の電力供給線PVdd12の電圧値は低く、第4のトランジスタTr14がオンされると、輝度データなどとの関係でOLEDを消灯させることができる。



## 【特許請求の範囲】

【請求項1】 それが光学素子を含む複数の画素回路と、前記複数の画素回路に電力供給する複数の電力供給線と、各画素回路への電力供給状態を制御する制御回路と、を有し、前記複数の電力供給線は、ひとつの画素回路に対してそれぞれ接続されるとともに、それぞれが異なる経路を介して異なる電圧値で電力供給し、前記制御回路は、いずれの電力供給線から電力供給させるかを切り替えることにより、前記光学素子の発光状態を制御することを特徴とする表示装置。

【請求項2】 前記複数の画素回路のそれぞれは、複数の電力供給線のそれぞれから電力供給を受けるための複数の経路と、その経路上で電力供給を遮断するためのスイッチ回路と、を含み、前記制御回路は、前記スイッチ回路を制御して電力供給の経路を切り替えることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記複数の画素回路は、それぞれ光学素子を駆動する駆動素子を含み、ひとつの画素回路に接続された複数の電力供給線のうちのいずれかには、前記駆動素子に書き込まれる輝度データを問わずその光学素子の駆動がオフになる電圧値が設定されていることを特徴とする請求項1または2に記載の表示装置。

【請求項4】 ひとつの画素回路に接続された複数の電力供給線のうちのいずれかには、前記光学素子に対して発光時とは逆のバイアスがかかる電圧値が設定されていることを特徴とする請求項1から3のいずれかに記載の表示装置。

【請求項5】 前記制御回路は、前記画素回路に対する輝度データの書き込み期間以外のタイミングでいずれの電力供給線から電力供給させるかを切り替えることを特徴とする請求項1から4のいずれかに記載の表示装置。

【請求項6】 前記制御回路は、前記画素回路に対する輝度データの書き込みタイミングを決定する選択信号を用いて前記電力供給を切り替えることを特徴とする請求項1から4のいずれかに記載の表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、表示装置に関する。本発明は特に、アクティブマトリックス型表示装置の表示品位を改善する技術に関する。

## 【0002】

【従来の技術】 ノート型パソコンや携帯端末の普及が進んでいる。現在、これらの表示装置に主に使用されているのが液晶ディスプレイであり、次世代平面表示パネルとして期待されているのが有機EL (El

ectro Luminescence) ディスプレイである。これらディスプレイの表示方法として中心に位置するのがアクティブマトリックス駆動方式である。この方式を用いたディスプレイは、アクティブマトリックス型ディスプレイと呼ばれ、画素は縦横に多数配置されてマトリックスを形成し、各画素にはスイッチ素子が配置される。映像データはスイッチ素子によって走査ラインごとに順次書き込まれる。

【0003】 有機ELディスプレイの実用化設計は草創期にあり、様々な画素回路が提案されている。そのような回路の一例として、特開平11-219146号公報に開示されている画素回路について図8をもとに簡単に説明する。

【0004】 この回路は、2個のnチャネルトランジスタである第1、2のトランジスタTr50、Tr51と、光学素子であるOLED50と、保持容量C50と、選択信号を送る選択線SL50と、電力供給線Vdd50と、輝度データを伝搬するデータ線DL50を備える。

【0005】 この回路の動作は、OLED50の輝度データの書き込みのために、選択線SL50の選択信号がハイになり、第1のトランジスタTr50がオンとなり、データ線DL50に入力された輝度データが第2のトランジスタTr51および保持容量C50に設定され、その輝度データに応じた電流が流れでOLED50が発光する。選択線SL50の選択信号がローになると第1のトランジスタTr50がオフとなり、第2のトランジスタTr51のゲート電圧が維持され、設定された輝度データに応じて発光を継続する。

## 【0006】

【発明が解決しようとする課題】 ここで、設定した輝度データが大きい場合、輝度データを書き換えて小さな輝度データを設定しようとしても、前の大きな輝度データに対応する電荷が光学素子から抜けずに残ってしまい正確な輝度データの設定ができないという、いわゆる残像現象が見られることがある。特に、動きの速い動画を表示する際に視認性が低下するおそれがある。また、光学素子の劣化が進むと、光学素子ごとの劣化速度の違いによって輝度にばらつきが生じるおそれがある。

【0007】 本発明はこうした状況に鑑みなされたものであり、その目的は残像現象を低減させる新たな回路を提案する点にある。本発明の別の目的は光学素子の劣化を低減させる新たな回路を提案する点にある。本発明のさらに別の目的は光学素子の劣化を低減させることにより輝度のばらつきを解消する点にある。本発明のさらに別の目的は残像現象を低減させるための新たな回路を簡単な構成で実現する点にある。

## 【0008】

【課題を解決するための手段】 本発明のある実施の形態は表示装置である。この装置は、それが光学素子を

含む複数の画素回路と、これら複数の画素回路に電力供給する複数の電力供給線と、各画素回路への電力供給状態を制御する制御回路と、を有する。これら複数の電力供給線は、ひとつの画素回路に対してそれぞれ接続されるとともに、それぞれが異なる経路を介して異なる電圧値で電力供給し、制御回路は、いずれの電力供給線から電力供給させるかを切り替えることにより、光学素子の発光状態を制御する。これは、電力供給の切替に応じて光学素子に異なる電圧値で電力供給されるよう構成させる趣旨であり、最終的にこれが実現される限りは必ずしも複数の電力供給源が異なる電圧値でなくともよい。複数の画素回路のそれぞれは、複数の電力供給線のそれぞれから電力供給を受けるための複数の経路と、その経路上で電力供給を遮断するためのスイッチ回路と、を含んでもよい。その場合、制御回路は、スイッチ回路を制御して電力供給の経路を切り替えてよい。この制御回路は、実施の形態において適宜「電力制御回路」とも表現する。

【0009】以上の構成において、光学素子へ供給すべき電力をその光学素子の発光に必要な値よりも低くすることにより、光学素子への電荷残りを解消して残像現象を低減させることができる。

【0010】「画素回路」は、光学素子と、これを駆動する駆動素子と、輝度データの書き込みと保持を切り替えるスイッチ回路と、を含む。「輝度データ」は、駆動素子に設定される輝度情報に関するデータであって、その光学素子が放つ光強度とは区別する。光学素子としては、有機発光ダイオード(Organic Light Emitting Diode。以下、単に「OLED」と表記する。)を主に想定する。駆動素子やスイッチ回路としては、金属酸化膜(MOS: Metal Oxide Semiconductor)トランジスタや薄膜トランジスタ(TFT: Thin Film Transistor)を主に想定する。

【0011】ひとつの画素回路に接続された複数の電力供給線のうちのいずれかには、駆動素子に書き込まれる輝度データを問わずその光学素子の駆動がオフになる電圧値が設定されていてよい。ここでいう「光学素子の駆動がオフになる」は、その駆動素子自体がオフになった状態と、駆動素子自体はオンになるものの光学素子に対して発光に必要な電流が供給されない状態の双方を含む。この状態では光学素子が自己放電するので、光学素子への電荷残りが解消される。

【0012】ひとつの画素回路に接続された複数の電力供給線のうちのいずれかには、光学素子に対して発光時とは逆のバイアスがかかる電圧値が設定されていてよい。光学素子に逆バイアスをかけることにより、その光学素子の劣化を低減させることができる。制御回路は、画素回路に対する輝度データの書き込み期間以外のタイミングでいずれの電力供給線から電力供給させるかを切り替えてよい。制御回路は、画素回路に対する輝度データ

の書き込みタイミングを決定する選択信号を用いて電力供給を切り替えてよい。「選択信号」は、スイッチ回路のオンオフを制御するための信号であり、その信号線は例えば画素の行ごとに個別に設けられる。電力供給経路の切替制御するための制御線と選択信号を伝搬する選択線とを共通化することにより、簡素な構成にて残像現象の低減を実現できる。

【0013】なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、などの間で変換したものもまた、本発明の態様として有効である。

【0014】

【発明の実施の形態】実施の形態においては、表示装置としてアクティブマトリックス型有機ELディスプレイを想定する。以下、いくつかの実施形態に分けて説明する。

【0015】(第1実施形態)図1は、1画素分の画素回路の構成を示す。本実施形態においては、ひとつの画素回路に複数の電力供給線が接続され、いずれかの電力供給線から選択的に電力供給を受ける。画素回路P ixには、第1~4のトランジスタTr10、Tr11、Tr12、Tr13と、コンデンサCと、OLEDが含まれる。画素回路P ixの周囲には、データ線DL、選択線SL、制御線CTL、および第1、2の電力供給線PVdd11、PVdd12が配置されている。データ線DLは、画素回路P ixに書き込む輝度データを伝搬し、選択線SLは、輝度データ書き込みタイミングを決定する選択信号を伝搬する。第1、2の電力供給線PVdd11、PVdd12は、それぞれ異なる電圧値で画素回路P ixに電力を供給する。制御線CTLは、第1、2の電力供給線PVdd11、PVdd12のいずれから電力供給させるかを決定する切替制御信号を伝搬する。

【0016】第1、4のトランジスタTr10、Tr13はnチャネルトランジスタであり、第2、3のトランジスタTr11、Tr12はpチャネルトランジスタである。第1のトランジスタTr10は、輝度データ書き込みを制御するためのスイッチ回路であり、ゲート電極が選択線SLに接続され、ソース電極(またはドレイン電極)がデータ線DLに接続され、ドレイン電極(またはソース電極)が第2のトランジスタTr11のゲート電極に接続される。第2のトランジスタTr11は、OLEDを駆動する駆動素子であり、ソース電極(またはドレイン電極)が第1の電力供給線PVdd11または第2の電力供給線PVdd12に接続され、ドレイン電極(またはソース電極)がOLEDのアノード電極に接続される。OLEDのカソード電極は接地電位と同電位とされる。

【0017】第1の経路30は、第2のトランジスタTr11と第1の電力供給線PVdd11を結ぶ電力供給路であり、第2の経路32は、第2のトランジスタTr11と第2の電力供給線PVdd12を結ぶ電力供給路

である。第1の経路30上には、その経路を遮断するためのスイッチ回路として第3のトランジスタTr12が設けられ、第2の経路32上には、その経路を遮断するためのスイッチ回路として第4のトランジスタTr13が設けられている。第3、4のトランジスタTr12、Tr13は、それぞれゲート電極が制御線CTLに接続される。

【0018】コンデンサCは、その一端が第1のトランジスタTr10のドレイン電極（またはソース電極）と第2のトランジスタTr11のゲート電極の経路に接続され、他端が接地電位と同電位とされる。

【0019】以上の構成による動作を以下説明する。選択線SLの選択信号がハイになると、第1のトランジスタTr10がオンになり、データ線DLに流れた輝度データが第2のトランジスタTr11のゲート電極およびコンデンサCに設定される。第2のトランジスタTr11のゲートソース電圧に応じた電流が流れ、その電流に応じた強度でOLEDが発光する。

【0020】制御線CTLの切替制御信号がローになると、第3のトランジスタTr12がオンになり、第1の経路30が導通し、電流が流れる。このとき、第4のトランジスタTr13はオフになり、第2の経路32は遮断される。一方、制御線CTLの切替制御信号がハイになると、第3のトランジスタTr12がオフになり、第2の経路32は遮断される。このとき、第4のトランジスタTr13はオンになり、第2の経路32が導通し、電流が流れる。なお、切替制御信号がハイとローで切り替わるタイミングと、選択信号がハイとローで切り替わるタイミングの関係については後述する。

【0021】図2は、4画素分の画素回路と周辺の制御回路および信号線の構成を示す。表示パネルを構成する多数の画素回路は行列状に配置されるが、そのうち4画素分の画素回路として、第1～4の画素回路Pi x 1、Pi x 12、Pi x 21、Pi x 22を本図において示す。第1の選択線SL10は、1行目の第1、2の画素Pi x 11、Pi x 12に輝度データを書き込むタイミングでハイの選択信号を伝搬する。第2の選択線SL20は、2行目の第3、4の画素Pi x 21、Pi x 22に輝度データを書き込むタイミングでハイの選択信号を伝搬する。第1の制御線CTL10は、1行目の第1、2の画素Pi x 11、Pi x 12の電力供給経路を切り替える切替制御信号を伝搬する。第2の制御線CTL20は、2行目の第3、4の画素Pi x 21、Pi x 22の電力供給経路を切り替える切替制御信号を伝搬する。

【0022】第1のデータ線DL10は、1列目の第1、3の画素Pi x 11、Pi x 21に書き込む輝度データを伝搬する。第2のデータ線DL20は、2列目の第2、4の画素Pi x 12、Pi x 22に書き込む輝度データを伝搬する。第1の電力供給線PVdd11およ

び第2の電力供給線PVdd12は、1列目の第1、3の画素Pi x 11、Pi x 21に電力を供給する。第3の電力供給線PVdd21および第4の電力供給線PVdd22は、2列目の第2、4の画素Pi x 12、Pi x 22に電力を供給する。

【0023】選択制御回路100は、第1、2の選択線SL10、SL20に伝搬させる選択信号を生成し、電力制御回路102は、第1の制御線CTL10、CTL20に伝搬させる切替制御信号を生成する。

【0024】図3は、選択信号および切替制御信号がそれぞれハイとローになるタイミングの関係を示すタイムチャートである。説明の前提として、第2のトランジスタTr11のゲート電極の電圧をV1とし、第2のトランジスタTr11の第1、2の電力供給線PVdd11、12側電極の電圧をV2とし、第2のトランジスタTr11のOLED側電極の電圧をV3とし、ゲートソース電圧をVgsとし、ドレインソース電圧をVdsとする。また、第1の電力供給線PVdd11の電圧を15Vとし、OLEDのカソード電極の電圧を0Vとし、OLEDの閾値電圧を4Vとする。

【0025】以下、他の具体的な電圧値を三つのパターンに分けて例示しながら説明する。第2の電力供給線PVdd12の電圧は、パターン1では12V、パターン2では2V、パターン3では-8Vである。いずれのパターンも、輝度データがどのような値であっても第2のトランジスタTr11によるOLEDの駆動がオフになるような電圧値が第2の電力供給線PVdd12に設定される。第2のトランジスタTr11の閾値電圧は-1Vである。

【0026】(1) パターン1

期間Aにおいては、選択線SLの選択信号がローであり、制御線CTLの切替制御信号がローになっている。V1=10V、V2=15Vとすると、Vgs=-5Vなので、第2のトランジスタTr11がオンされて電流が流れ、V3は例えば7Vになる。期間Bにおいては、切替制御信号がハイになる。V2=12V、Vgs=-2Vになるので、第2のトランジスタTr11のオン状態は弱まり、V3は例えば5Vへと下がる。ただし、期間Bが短ければ5Vまで達しない。

【0027】期間Cにおいて、選択信号がハイになり新たな輝度データが設定され、V1は例えば12Vになる。V2は12Vのままであり、Vgs=0Vになるので、第2のトランジスタTr11はオフになる。V3は、OLEDの自己放電によってOLEDの閾値電圧である4Vへと下がる。ただし、期間Cが短ければ4Vまで達しない。期間Dにおいて、選択信号がローになるが、V1およびV2に変化はなく、第2のトランジスタTr11はオフのままである。期間B～Dの長さが十分であればV3は4Vまで下がる。期間Eにおいて、切替制御信号がローになり、V2=15V、Vgs=-3V

になるので、第2のトランジスタTr11がオンされて再び電流が流れ、V3は例えば5.5Vへと上昇する。

【0028】(パターン2)期間Aにおいて、V1=10V、V2=15V、Vgs=-5Vなので、第2のトランジスタTr11がオンされて電流が流れ、V3は例えば7Vになる。期間Bにおいて、V2=2Vになるので、第2のトランジスタTr11のソースがV3側、ドレインがV2側に変わる。Vgsは3Vになるので、第2のトランジスタTr11はオフになり、V3はOLEDの自己放電によってOLEDの閾値電圧である4Vへと下がる。ただし、期間Bが短ければ4Vまで達しない。

【0029】期間Cにおいて、新たな輝度データとして、V1に12Vが設定される。Vgs=10Vになるので、第2のトランジスタTr11はオフのままである。V3は、OLEDの自己放電によってOLEDの閾値電圧である4Vへと下がるが、期間Cが短ければ達しない。期間D、Eはパターン1と同様である。

【0030】(パターン3)期間Aにおいて、V1=10V、V2=15V、Vgs=-5Vなので、第2のトランジスタTr11がオンされて電流が流れ、V3は例えば7Vになる。期間Bにおいて、V2=-8Vになるので、第2のトランジスタTr11のソースがV3側、ドレインがV2側に変わる。Vgsは3Vになるので、第2のトランジスタTr11はオフになり、V3はOLEDの自己放電によってOLEDの閾値電圧である4Vへと下がる。ただし、期間Bが短ければ4Vまで達しない。

【0031】期間Cにおいて、新たな輝度データとしてV1=12Vが設定される。V2は-8Vのままであり、Vgs=20Vなので、第2のトランジスタTr11はオフのままである。V3は、OLEDの自己放電によってOLEDの閾値電圧である4Vへと下がるが、期間Cが短ければ達しない。期間D、Eはパターン1と同様である。

【0032】このように、第2の電力供給線PVdd12の電圧値が、V1に第2のトランジスタTr11の閾値電圧の絶対値を加えた値よりも低ければ、OLEDを自己放電させて初期化することができる。

【0033】(第2実施形態)本実施形態においては、第2の電力供給線PVdd12の電圧値と、輝度データとの関係によってOLEDに逆バイアスをかける点で第1実施形態と異なる。ここで、OLEDの劣化原因の一つに、OLEDにおける有機層と無機層の界面や有機層と有機層の界面、またはパレク状に形成された有機層内に生じるキャリアのトラップ現象が挙げられる(城戸淳二監修「有機EL材料とディスプレイ」、株式会社シーエムシー発行)。この現象によれば、OLED内のキャリアトラップが内部電界を形成してしまい、OLEDに印加される電圧による電界が実質的に減少してしまい、

駆動初期において輝度低下が見られる。そこで、逆方向に電界を与えてトラップに捕獲されたキャリアを解放すれば輝度低下を緩和できるとされている。この点に着目して、本実施形態では所定のタイミングでOLEDに逆バイアスがかかるよう第2の電力供給線PVdd12の電圧値を設定しておく。これにより、OLEDの劣化の進行を低減させ、例えば輝度のばらつきを抑えることができる。

【0034】図4は、本実施形態における1画素分の画素回路の構成を示す。本実施形態では、第2のトランジスタTr11がnチャネルトランジスタである点が第1実施形態と異なり、またコンデンサCの配置も第1実施形態と異なる。

【0035】第1のトランジスタTr10は、ゲート電極が選択線SLに接続され、ドレイン電極(またはソース電極)がデータ線DLに接続され、ソース電極(またはドレイン電極)が第2のトランジスタTr11のゲート電極に接続される。第2のトランジスタTr11は、ドレイン電極(またはソース電極)が第1の電力供給線PVdd11または第2の電力供給線PVdd12に接続され、ソース電極(またはドレイン電極)がOLEDのアノード電極に接続される。コンデンサCは、その一端が第1のトランジスタTr10と第2のトランジスタTr11の間の経路に接続され、他端が第2のトランジスタTr11とOLEDの間の経路に接続される。その他の構成は第1実施形態と同様なので説明を省略する。

【0036】本実施形態の動作を図3を用いて説明する。第1実施形態において「説明の前提」として記載した内容を本実施形態でも前提として用いる。以下、他の具体的な電圧値を三つのパターンに分けて例示しながら説明する。第2の電力供給線PVdd12の電圧は、パターン1、2、3とも第1実施形態と同様である。第2のトランジスタTr11の閾値電圧は1Vである。

【0037】(パターン1)期間Aにおいて、V1=12V、V2=15V、V3=7Vとすると、第2のトランジスタTr11のソースはV3側なのでVgs=5Vとなり、第2のトランジスタTr11がオンされて電流が流れ。期間Bにおいて、V2=12Vとなるが、V1に変化はなく、OLED発光の動作点が第2のトランジスタTr11の飽和領域にあれば、V3はほぼ7Vのままで変化はない。

【0038】期間Cにおいて、新たな輝度データとしてV1=8Vが設定される。V2は12Vのままであり、Vgs=1Vになるので、第2のトランジスタTr11のオン状態は弱まり、流れる電流も減少する。VgsはコンデンサCによって維持されるので、V3はある電位で落ち着く。V3は例えば5Vへと下がるが、期間Cが短ければ5Vまで達しない。期間Dにおいては、V1およびV2に変化はなく、期間C、Dの長さが十分であればV3は5Vまで下がる。期間Eにおいては、V2=1

5Vとなるので若干電流が変化し、V3も変化すると考えられる。ただし、OLED発光の動作点が第2のトランジスタTr11の飽和領域にあれば、V3はほぼ5Vのまま変化しない。

【0039】(パターン2)期間Aにおいて、V1=12V、V2=2V、V3=7Vとする。第2のトランジスタTr11のソースはV3側なのでVgs=5Vとなり、第2のトランジスタTr11がオンされて電流が流れる。期間Bにおいて、V2=2Vになるので、第2のトランジスタTr11のソースがV2側、ドレインがV3側に変わる。Vgs=10Vとなり、第2のトランジスタTr11のオン状態が強まると、V3はV2とほぼ同電位にまで下がる。V1とV3の電位差はコンデンサCにより5Vのままで維持されるので、V1もV3とともに下がって7Vとなる。V3はOLEDの閾値電圧より低くなり、OLEDに電流が流れず消灯する。

【0040】期間Cにおいて、新たな輝度データとしてV1=5Vが設定されると、Vgs=3Vへと減少するので、第2のトランジスタTr11のオン状態は弱まるが、V2、V3の状態には変化がない。期間Dにおいては、V1、V2、V3ともに変化がない。期間Eにおいて、V2=15Vになるので、第2のトランジスタTr11のソースがV3側、ドレインがV2側に変わる。Vgsは3Vのままであるが、Vdsが13VになるのでV3が上昇する。V3が例えば5Vになると、OLEDの閾値電圧より高くなるのでOLEDにも電流が流れ発光を再開する。このとき、VgsはコンデンサCにより維持されるのでV1は8Vへ上昇する。

【0041】(パターン3)期間Aにおいて、V1=12V、V2=15V、V3=7Vとすると、Vgs=5Vになるので、第2のトランジスタTr11がオンされて電流が流れる。期間Bにおいて、V2=-8Vになるので、第2のトランジスタTr11のソースがV2側、ドレインがV3側に変わる。Vgs=20Vとなり、第2のトランジスタTr11のオン状態が強まると、V3はV2とほぼ同電位にまで下がる。V1とV3の電位差はコンデンサCにより5Vのままで維持されるので、V1もV3とともに下がって-3Vとなる。V3はOLEDの閾値電圧より低くなり、OLEDに電流が流れず消灯するとともに、V3はOLEDのカソード電極の電位よりも低いのでOLEDに逆バイアスがかかった状態になる。これにより、OLEDの劣化を緩和させて、OLEDの寿命を延ばすことができる。

【0042】期間Cにおいて、新たな輝度データとしてV1=-5Vが設定されると、Vgs=3Vとなるが、V2、V3に変化はなく、期間Dにおいても変化がない。期間Eにおいて、V2=15Vになるので第2のトランジスタTr11のソースとドレインが入れ替わり、Vdsが23VになるのでV3が上昇する。V3が例えば5Vになると、OLEDの閾値電圧より高いのでOLED

にも電流が流れ発光する。このときVgsはコンデンサCにより維持されるのでV1は8Vになる。

【0043】以上のように、第2の電力供給線PVdd12の電圧値が、第2のトランジスタTr11の閾値電圧の絶対値をV1に加えた値よりも低ければ、第2の電力供給線PVdd12とV3を同じ電位にでき、OLEDをリセットできる。特に、第2の電力供給線PVdd12の電圧値をOLEDの閾値電圧よりも低く設定すれば、発光を停止させることもできる。さらに、V3がOLEDのカソード電極の電位より低くなるように第2の電力供給線PVdd12の電圧値を設定しておけば、所定のタイミングでOLEDに逆バイアスをかけることができる。

【0044】(第3実施形態)本実施形態においても駆動素子としてpチャネルトランジスタを用いる点で第1実施形態と共通するが、コンデンサCの配置を変えている点で第1実施形態と異なる。また、第2のトランジスタTr12の電圧値によっては、OLEDに逆バイアスをかけられる点で第2実施形態と共通する。

【0045】図5は、第3実施形態における1画素分の画素回路の構成を示す。第2のトランジスタTr11はpチャネルトランジスタである。コンデンサCは、一端が第1のトランジスタTr10と第2のトランジスタTr11の間の経路に接続され、他端が第2のトランジスタTr11と第1の電力供給線PVdd11または第2の電力供給線PVdd12の間の経路に接続される。その他の構成は第1実施形態と同様なので説明を省略する。

【0046】本実施形態における動作を、具体的な電圧値を三つのパターンに分けて例示しながら図3に沿って説明する。第1実施形態において「説明の前提」として記載した内容を本実施形態でも前提として用いる。第2の電力供給線PVdd12の電圧は、パターン1、2、3とも第1実施形態と同様である。第2のトランジスタTr11の閾値電圧は-1Vである。

【0047】(パターン1)期間Aにおいて、V1=10V、V2=15V、V3=7Vとすると、Vgsが-5Vなので第2のトランジスタTr11がオンになり、電流が流れる。期間Bにおいては、V2=12Vとなり、V1とV2の電位差-5VがコンデンサCによって維持されるので、V1は7Vに変化する。このとき、OLED発光の動作点が第2のトランジスタTr11の飽和領域にあれば、V3はほぼ7Vのままで変化はない。

【0048】期間Cにおいて、新たな輝度データとしてV1=9Vが設定されると、Vgs=-3Vになる。第2のトランジスタTr11のオン状態が弱まるので、V3は例えば5Vに減少する。期間Dにおいては、V1、V2、V3ともに変化はない。期間Eにおいては、V2=15Vになり、V1とV2の電位差-3VがコンデンサCによって維持されるので、V1は12Vに変化す

る。このとき、 $V_{gs}$ は変わらないものの、 $V_{ds}$ が上昇するので電流が増加する。 $V_3$ も上昇すると考えられるが、OLED発光の動作点が第2のトランジスタTr11の飽和領域にあればほぼ5Vのままで変化はない。

【0049】(パターン2)期間Aにおいて、 $V_1=10V$ 、 $V_2=15V$ 、 $V_3=7V$ とすると、 $V_{gs}$ が-5Vなので第2のトランジスタTr11がオンになり、電流が流れる。期間Bにおいて、 $V_2=2V$ になると、 $V_1$ と $V_2$ の電位差-5VがコンデンサCによって維持されるので、 $V_1$ は-3Vに変化する。このとき、第2のトランジスタTr11のソースが $V_3$ 側に変わるために、 $V_{gs}=-10V$ になる。第2のトランジスタTr11のオン状態は強まり、 $V_3$ は $V_2$ と同電位まで下がる。 $V_3$ がOLEDの閾値電圧よりも低くなるためOLEDには電流が流れず消灯する。

【0050】期間Cにおいて、新たな輝度データとして $V_1=-1V$ が設定されると、 $V_{gs}=-3V$ になる。第2のトランジスタTr11のオン状態は弱まるが、 $V_2$ 、 $V_3$ の状態には変化がない。期間Dにおいては、 $V_1$ 、 $V_2$ 、 $V_3$ ともに変化がない。期間Eにおいて、 $V_2=15V$ になるので、第2のトランジスタTr11のソースが $V_2$ 側に変わる。 $V_{gs}$ はコンデンサCにより-3Vのまま維持されるので $V_1$ は12Vに変化する。 $V_{ds}$ は13Vになるので $V_3$ が例えば5Vに上昇すると、OLEDの閾値電圧より高くなるのでOLEDにも電流が流れて発光を再開する。

【0051】(パターン3)期間Aにおいて、 $V_1=10V$ 、 $V_2=15V$ 、 $V_3=7V$ とすると、 $V_{gs}$ が-5Vなので第2のトランジスタTr11がオンになり、電流が流れる。期間Bにおいて、 $V_2=-8V$ になると、 $V_1$ と $V_2$ の電位差-5VがコンデンサCによって維持されるので、 $V_1$ は-13Vに変化する。このとき、第2のトランジスタTr11のソースが $V_3$ 側に変わるために、 $V_{gs}=-20V$ になる。第2のトランジスタTr11のオン状態は強まり、 $V_3$ は $V_2$ と同電位まで下がる。 $V_3$ がOLEDの閾値電圧よりも低くなるためOLEDには電流が流れず消灯するとともに、 $V_3$ はOLEDのカソード電極の電位よりも低いのでOLEDに逆バイアスがかかった状態になる。これにより、OLEDの劣化を緩和させて寿命を延ばすことができる。

【0052】期間Cにおいて、新たな輝度データとして $V_1=-11V$ が設定されると、 $V_{gs}=-3V$ になる。第2のトランジスタTr11のオン状態は弱まるが、 $V_2$ 、 $V_3$ の状態には変化がない。期間Dにおいては、 $V_1$ 、 $V_2$ 、 $V_3$ ともに変化がない。期間Eにおいて、 $V_2=15V$ になるので、第2のトランジスタTr11のソースが $V_2$ 側に変わる。 $V_{gs}$ はコンデンサCにより-3Vのまま維持されるので $V_1$ は12Vに変化する。 $V_{ds}$ は23Vになるので $V_3$ が例えば5Vに上昇すると、OLEDの閾値電圧より高くなるのでOLED

Dにも電流が流れて発光を再開する。

【0053】以上のように、第2の電力供給線PVdd12の電圧値がOLEDの閾値電圧より低ければOLEDをリセットできるとともに、その発光を停止させることもできる。さらに $V_3$ がOLEDのカソード電極の電位よりも低くなるように第2の電力供給線PVdd12の電圧値を設定しておけば、所定のタイミングでOLEDに逆バイアスをかけることもできる。

【0054】(第4実施形態)本実施形態においては、第1～3実施形態における制御線CTLと選択線SLを共通化する。他の構成は、第1実施形態と共通するので説明を省略する。

【0055】図6は、本実施形態における1画素分の画素回路の構成を示す。第1のトランジスタTr10のゲート電極が選択線SLに接続されるとともに、第3、4のトランジスタTr12、13のゲート電極もまた選択線SLに接続される。すなわち、第1実施形態において説明した切替制御信号として選択信号を用いており、選択信号がハイになれば第1、4のトランジスタTr10、13がオンになり、第3のトランジスタTr12がオフになる。選択信号がローになれば第1、4のトランジスタTr10、13がオフになり、第3のトランジスタTr12がオンになる。

【0056】以上の構成によっても、電力供給元を第1の電力供給線PVdd11と第2の電力供給線PVdd12の間で切り替えてOLEDの駆動をオフにできるので、OLEDへの電荷残りを解消して残像現象を低減させることができる。また、電力供給の切替タイミングと輝度データ書き込みタイミングを同じ信号で制御することにより、信号線を増やすずに簡素な構成で実現できる。

【0057】図7は、本実施形態における4画素分の画素回路と周辺の制御回路および信号線の構成を示す。表示制御回路100は、選択信号を生成して第1、2の選択線SLに流す。この選択信号は、第1実施形態でいう切替制御信号としても用いられる。

【0058】以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形が可能など、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした例を述べる。

【0059】第1、3、4のトランジスタTr10、12、13は、それぞれ二つ以上ずつ直列におかれてよい。その際、電流増幅率など、それらのトランジスタの特性を異ならせてよい。例えば、第1のトランジスタTr10において第2のトランジスタTr11に近い側のトランジスタの電流増幅率を低めに設定すれば、漏れ電流を減らす効果が大きい。さらに、第1のトランジスタTr10と第2のトランジスタTr11の特性を変えてもよい。例えば、第2のトランジスタTr11の電流

増幅率を小さくした場合、同じ輝度レンジに対応する設定データのレンジが広がるため、輝度の制御が容易になる。

【0060】第1～3実施形態においては、電力供給元の切替と輝度データの書込みのタイミングを図3のように制御するが、変形例においては、図3とは異なる任意のタイミングで制御してもよい。

【0061】第4実施形態においては、第2のトランジスタTr11の種類とコンデンサCの配置が第1実施形態と同じになるよう記載したが、これを第2、3実施形態と同じになる構成で実現してもよい。

【0062】上記の各実施形態においては、第3のトランジスタTr12をpチャネルトランジスタとし、第4のトランジスタTr13をnチャネルトランジスタとした。変形例においては、第3のトランジスタTr12をnチャネルトランジスタとし、第4のトランジスタTr13をpチャネルトランジスタとしてもよい。この場合、制御線CTLの切替制御信号は、図3におけるパルス波形を反転させた形となる。

【0063】第1～3実施形態においては、第3、4のトランジスタTr12、Tr13のそれぞれのゲート電極を1本の制御線CTLに接続している。変形例においては、これを別々の制御線に接続する形で構成してもよい。例えば、第1、2の電力供給線PVdd11、PVdd12の電圧値の差が大きい場合に、第3、4のトランジスタTr12、Tr13の動作に必要な電圧にも大きな差が生じる。これを1本の制御線CTLで制御する場合には切替制御信号が高電圧になる。このような場合

であっても、変形例によれば制御線への負荷を分散することによって比較的低電圧による制御を実現できる。

#### 【0064】

【発明の効果】本発明によれば、光学素子への電荷残りを減らして残像現象を低減させることができる。

#### 【図面の簡単な説明】

【図1】第1実施形態における1画素分の画素回路の構成を示す図である。

【図2】第1実施形態における4画素分の画素回路と周辺の制御回路および信号線の構成を示す図である。

【図3】選択信号および切替制御信号がそれぞれハイとローになるタイミングの関係を示すタイムチャートである。

【図4】第2実施形態における1画素分の画素回路の構成を示す図である。

【図5】第3実施形態における1画素分の画素回路の構成を示す図である。

【図6】第4実施形態における1画素分の画素回路の構成を示す図である。

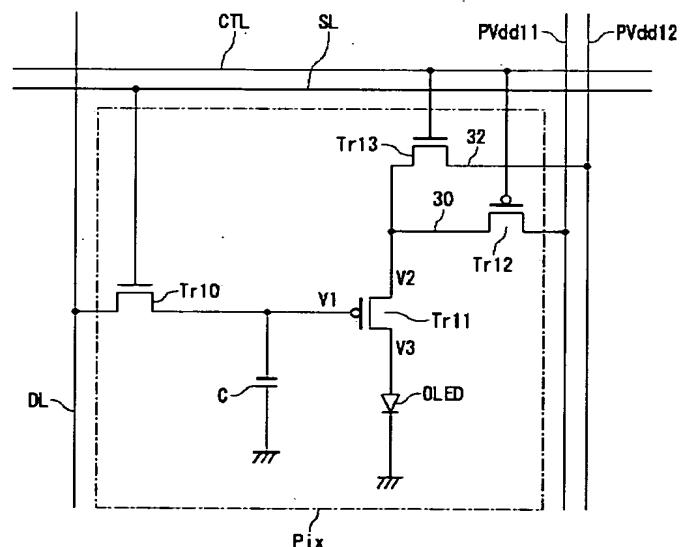
【図7】第4実施形態における4画素分の画素回路と周辺の制御回路および信号線の構成を示す図である。

【図8】従来技術における1画素分の画素回路の構成を示す。

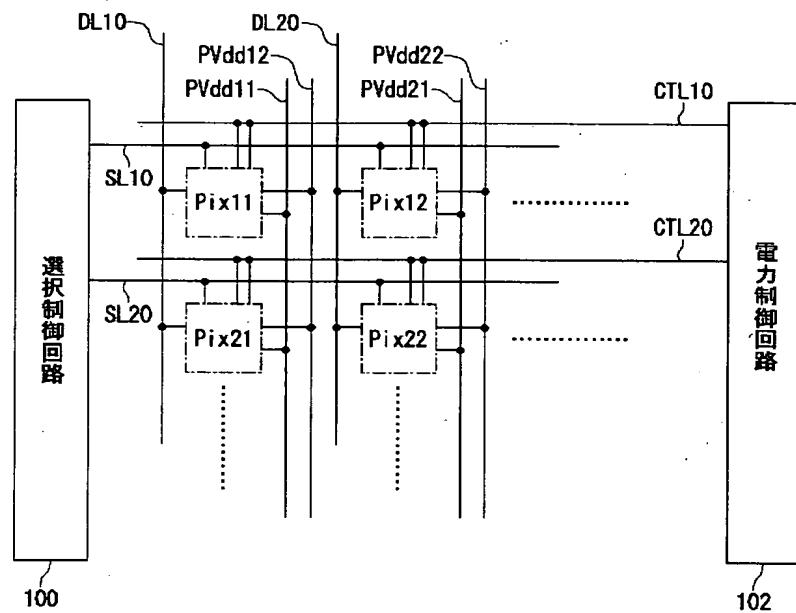
#### 【符号の説明】

PVdd 電力供給線、SL 選択線、DL データ線、CTL 制御線、Pix 画素回路、Tr トランジスタ、C コンデンサ、100選択制御回路、102 電力制御回路。

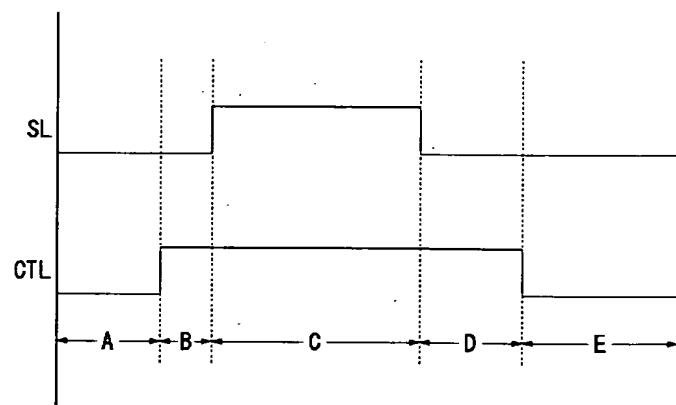
【図1】



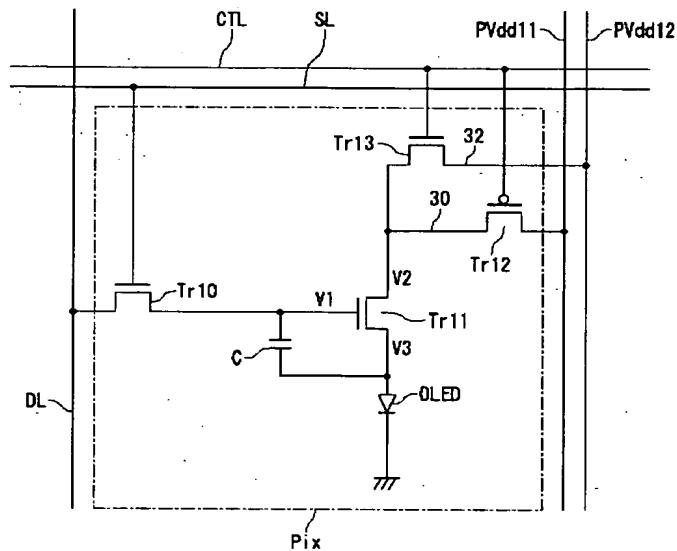
【図2】



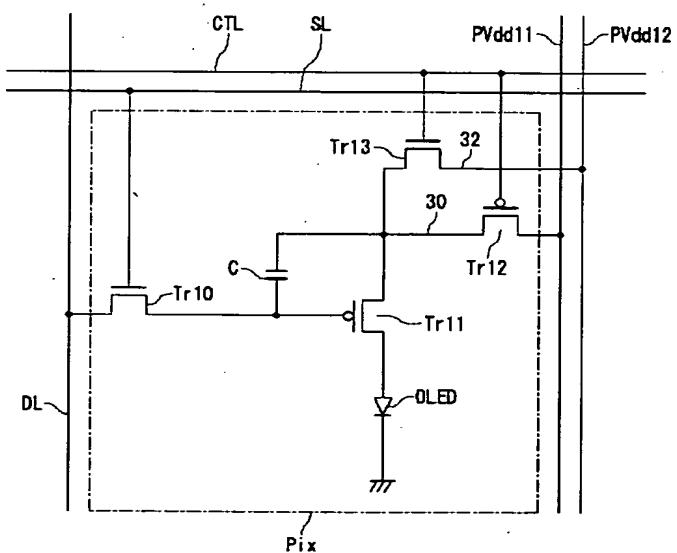
【図3】



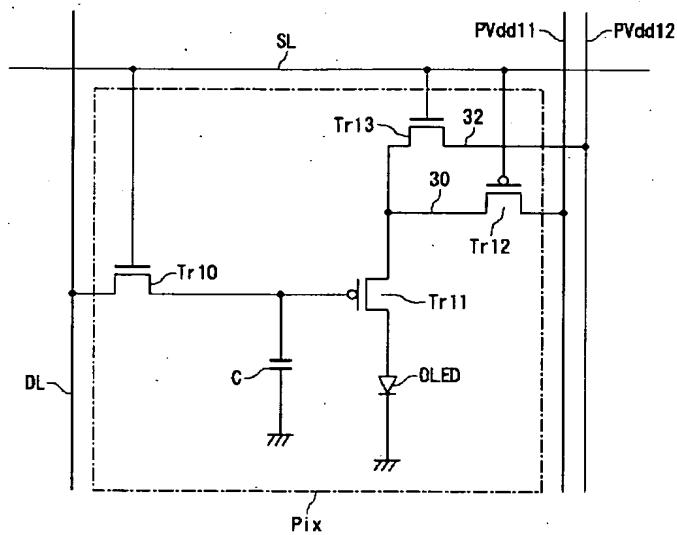
【図4】



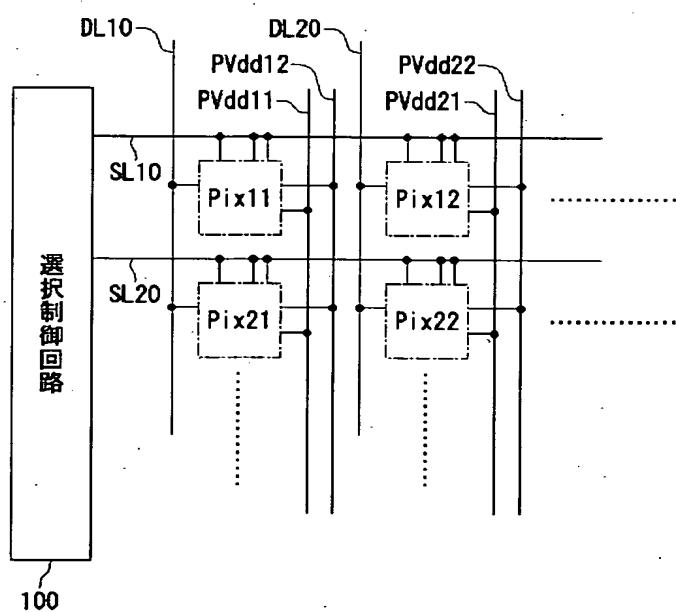
【図5】



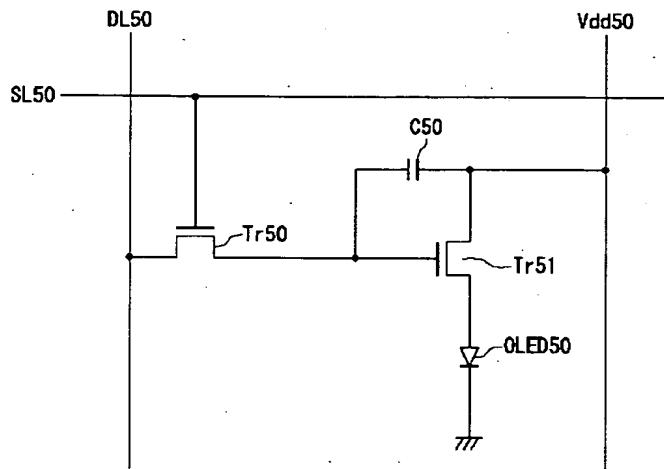
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	マーク (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D
	6 4 2		6 4 1 R
	6 7 0		6 4 2 A
H 0 5 B 33/14		H 0 5 B 33/14	6 7 0 K
			A

F.ターム(参考) 2H093 NA16 NB02 NB03 NB09 NB10  
 NB12 NB15 NC33 NC34 NC35  
 ND09 ND12 ND47 ND48  
 3K007 AB11 AB17 DB03 GA04  
 5C080 AA06 BB05 DD02 DD05 DD13  
 DD23 DD24 DD29 EE19 EE29  
 FF03 FF11 GG08 HH09 JJ02  
 JJ03 JJ04 KK07